

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-85310

(43)公開日 平成11年(1999) 3月30日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

G 0 6 F 1/10

G 0 6 F 1/04

3 3 0 A

H 0 3 K 5/151

H 0 3 K 5/15

C

審査請求 有 請求項の数12 O L (全 17 頁)

(21)出願番号 特願平9-244893

(22)出願日 平成9年(1997) 9月10日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 柴山 充文

東京都港区芝五丁目7番1号 日本電気株式会社内

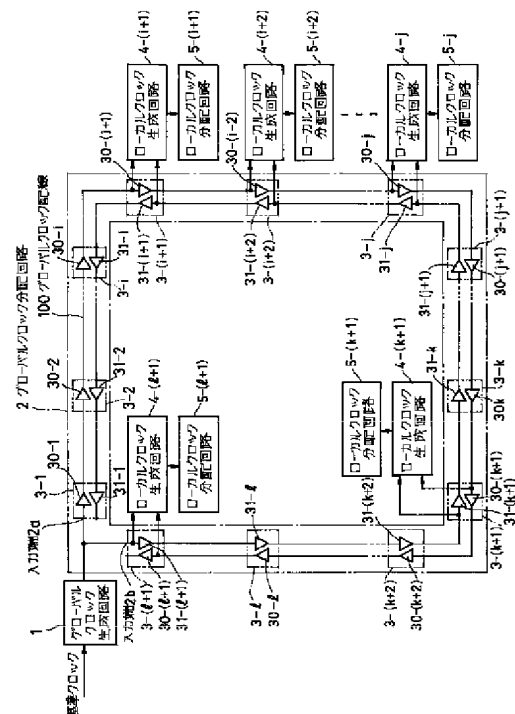
(74)代理人 弁理士 ▲柳▼川 信

(54)【発明の名称】 クロック信号分配回路

(57)【要約】

【課題】 大規模集積回路上に低スキューでかつ高速なクロック信号を分配可能なクロック信号分配回路を提供する。

【解決手段】 グローバルクロック信号を生成するグローバルクロック生成回路1をLSI上の設置し、平行にかつ互いに逆方向となるようにLSI上に周回させた2重のグローバルクロック分配回路2によってLSI上にグローバルクロック信号を分配する。グローバルクロック分配回路2によって伝達される2つのクロック信号各々の遷移時点の中間の時点を基準にローカルクロック生成回路4-(i+1), 4-(i+2), 4-j, 4-(k+1), 4-(l+1)でローカルクロック信号を発生させ、そのローカルクロック信号をローカルクロック分配回路5-(i+1), 5-(i+2), 5-j, 5-(k+1), 5-(l+1)で分配する。



## 1

## 【特許請求の範囲】

【請求項 1】 外部から入力される基準クロック信号に基づいてグローバルクロック信号を生成するグローバルクロック生成手段と、前記グローバルクロック生成手段で生成された前記グローバルクロック信号を大規模集積回路内に分配しかつ互いに逆方向となるように前記大規模集積回路内に二重ループ状に配置されたグローバルクロック分配手段と、前記グローバルクロック分配手段によって分配される 2 つのグローバルクロック信号各々の位相の中間位相を基準にローカルクロック信号を生成するローカルクロック生成手段と、前記ローカルクロック生成手段で生成された前記ローカルクロック信号を自手段の近傍領域に分配するローカルクロック分配手段とを有することを特徴とするクロック信号分配回路。

【請求項 2】 前記グローバルクロック分配手段は、互いに逆方向に伝達される前記グローバルクロック信号を保持する第 1 及び第 2 のクロックバッファからなる複数のクロックバッファ対と、隣接する前記第 1 のクロックバッファ同士を接続する第 1 の配線と、前記第 1 の配線に平行に配設されかつ隣接する前記第 2 のクロックバッファ同士を接続する第 2 の配線とを含むことを特徴とする請求項 1 記載のクロック信号分配回路。

【請求項 3】 前記複数のクロックバッファ対は、前記大規模集積回路内で全て等間隔にレイアウトされかつ等長の前記第 1 及び第 2 の配線で接続されるようにしたことを特徴とする請求項 2 記載のクロック信号分配回路。

【請求項 4】 前記ローカルクロック生成手段は、前記グローバルクロック信号の遅延量を外部信号に応じて可変自在としかつ同一構成の第 1 及び第 2 の可変遅延手段と、前記第 1 及び第 2 の可変遅延手段で遅延されたクロック信号と当該クロック信号とは逆方向から伝達されるグローバルクロック信号との位相を比較する位相比較手段と、前記位相比較手段の比較結果に基づいて前記第 1 及び第 2 の可変遅延手段における遅延量を可変制御する制御手段とを含み、前記制御手段の制御によって前記グローバルクロック分配手段が互いに逆方向から分配する 2 つのグローバルクロック信号各々の位相の中間位相をもつローカルクロック信号を生成するよう構成したことを特徴とする請求項 1 から請求項 3 のいずれか記載のクロック信号分配回路。

【請求項 5】 前記位相比較手段は、前記第 1 及び第 2 の可変遅延手段で遅延されたクロック信号と当該クロック信号とは逆方向から伝達されるグローバルクロック信号とを夫々分周する第 1 及び第 2 の分周手段を含み、前記第 1 及び第 2 の可変遅延手段で遅延されたクロック信号と当該クロック信号とは逆方向から伝達されるグローバルクロック信号との位相差が入力のサイクル時間の 2 分の 1 よりも大きい場合でも動作自在としたことを特徴とする請求項 4 記載のクロック信号分配回路。

【請求項 6】 前記ローカルクロック生成手段は、前記

## 2

グローバルクロック信号の遅延量を外部信号に応じて可変自在としかつ同一構成の第 1 及び第 2 の可変遅延手段と、当該クロック信号とは逆方向から伝達されるグローバルクロック信号を予め設定された所定遅延量だけ遅延する第 1 及び第 2 の固定遅延手段と、前記第 1 及び第 2 の可変遅延手段で遅延されたクロック信号と前記第 1 及び第 2 の固定遅延手段で遅延されたクロック信号との位相を比較する位相比較手段と、前記位相比較手段の比較結果に基づいて前記第 1 及び第 2 の可変遅延手段における遅延量を可変制御する制御手段とを含み、前記制御手段の制御によって前記グローバルクロック分配手段が互いに逆方向から分配する 2 つのグローバルクロック信号各々の位相の中間位相よりも前記所定遅延量だけ遅延された位相をもつローカルクロック信号を生成するよう構成したことを特徴とする請求項 1 から請求項 3 のいずれか記載のクロック信号分配回路。

【請求項 7】 前記位相比較手段は、前記第 1 及び第 2 の可変遅延手段で遅延されたクロック信号と前記第 1 及び第 2 の固定遅延手段で遅延されたクロック信号とを夫々分周する第 1 及び第 2 の分周手段を含み、前記第 1 及び第 2 の可変遅延手段で遅延されたクロック信号と前記第 1 及び第 2 の固定遅延手段で遅延されたクロック信号との位相差が入力のサイクル時間の 2 分の 1 よりも大きい場合でも動作自在としたことを特徴とする請求項 6 記載のクロック信号分配回路。

【請求項 8】 前記ローカルクロック分配手段は、前記ローカルクロック生成手段で生成された前記ローカルクロック信号を分配するクロックツリー回路を含むことを特徴とする請求項 1 から請求項 7 のいずれか記載のクロック信号分配回路。

【請求項 9】 前記ローカルクロック分配手段は、前記ローカルクロック生成手段で生成された前記ローカルクロック信号を分配するクロックツリー回路と、前記ローカルクロック信号と前記クロックツリー回路から帰還されるクロック信号との位相差をなくす遅延同期ループ回路とを含むことを特徴とする請求項 1 から請求項 7 のいずれか記載のクロック信号分配回路。

【請求項 10】 前記ローカルクロック分配手段は、前記ローカルクロック生成手段で生成された前記ローカルクロック信号を分配するクロックツリー回路と、前記ローカルクロック信号と前記クロックツリー回路から帰還されるクロック信号との位相差をなくす位相同期ループ回路とを含むことを特徴とする請求項 1 から請求項 6 のいずれか記載のクロック信号分配回路。

【請求項 11】 前記ローカルクロック生成手段及び前記ローカルクロック分配手段は、前記大規模集積回路を構成する複数の回路ブロック各々に配設されたことを特徴とする請求項 1 から請求項 10 のいずれか記載のクロック信号分配回路。

【請求項 12】 前記複数の回路ブロックは、各々固有

## 3

の電源電圧及びクロック周波数を持つことを特徴とする請求項 11 記載のクロック信号分配回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はクロック信号分配回路に関し、特に大規模集積回路上に高速かつ位相ずれが少ないクロック信号を分配する回路に関する。

【0002】

【従来の技術】大規模集積回路（以下、LSI とする）がますます大規模化し、その動作周波数が増加するにつれて、LSI 上に分配されたクロック信号間の相対的な位相ずれ、いわゆるクロックスキューが大きな問題となっている。同期式 LSI は LSI の各部がクロック信号によって同時にタイミングを与えられることを前提に設計されて動作するため、クロックスキューの存在は同期式 LSI の動作周波数の上限を制限し、その結果、性能を低下させてしまう。

【0003】従来、クロックスキューを低減する技術として、クロックバッファ及びクロック配線をつリー状に構成したクロックツリー方式が知られている。このクロック信号分配回路は、図 15 に示すように、クロックツリーの各階層において同一のクロックバッファ 111 を使用し、かつ負荷容量や配線抵抗が同一になるように設計レイアウトを行うことによって、クロックツリーの入力端から各出力端までのクロック伝播経路の遅延を同一とする。これによって、各出力端間におけるクロック信号の位相差は相対的に小さくなり、クロックスキューを低減することが期待できる。

【0004】しかしながら、上述したクロックツリー方式においてはクロックツリーの各経路の条件を揃えるために設計レイアウトにおいて多大な制限が生じ、かつ実際には他回路とのレイアウト配置の関係や制約によって、全ての経路の条件を揃えることは困難である。

【0005】また、条件を揃えるためにクロックツリー上に挿入されるダミーのクロックバッファ 112 や配線が消費電力や回路面積を増大させるという問題もある。さらに、クロックツリー方式は各クロック分配経路を設計レイアウト時に均等化することによる静的なスキュー補償なので、デバイスばらつきや温度変動、及び電源電圧変動等を原因とするクロックスキューを補償することはできない。また、LSI が微細化するにつれて、他配線とのカップリングの影響も無視できなくなっており、それを設計レイアウト時に補償するのは困難である。

【0006】一方、別の技術としては、全てのクロック分配先を短絡し、それを巨大なクロックバッファで駆動する巨大バッファ方式が知られる。このクロック信号分配回路においては、図 16 に示すように、各クロック分配先間が短絡されていることから、クロック分配先間でクロックスキューを補償しあう効果が期待できる。

【0007】しかしながら、上述した巨大バッファ方式

## 4

においては、クロック分配先全てを同時に遷移させるために巨大なクロックバッファ 121 と低抵抗すなわち幅広のクロック配線 122 とを必要とする。そのため、消費電力やレイアウト面積が大きく、特に将来の大規模な LSI における 1GHz 以上の高速なクロック分配に対する適用は困難である。

【0008】また、クロック信号の位相補償を設計時ではなく、動作時に動的に行うものとして、クロック伝送路を 2 重リング状または折り返して配置し、各クロック分配先でこれら伝送路で伝送される 2 つのクロック信号の位相差を基にクロック信号を動的に生成し、近傍に分配する方法がある。この方法については、特開平 8-54957 号公報や特開平 9-134226 号公報に開示されている。

【0009】

【発明が解決しようとする課題】上述した従来のクロック信号分配回路では、動作時に動的にクロックの位相補償を行うので、デバイスばらつきや温度変動、及び電源電圧変動等を原因とするクロックスキューの補償も可能である。

【0010】しかしながら、LSI 内の配線は配線断面積が微小なために配線抵抗が大きく、LSI 内全体に渡るような長配線によって高速なクロック信号を伝送させることは困難であるので、特に将来の 0.1  $\mu\text{m}$  以下の微細プロセスによる大規模 LSI において 1GHz 以上の高速なクロック分配に上記のような技術を適用することは極めて困難である。

【0011】そこで、本発明の目的は上記の問題点を解消し、LSI 上に低スキューでかつ高速なクロックを分配することができるクロック信号分配回路を提供することにある。

【0012】

【課題を解決するための手段】本発明によるクロック信号分配回路は、外部から入力される基準クロック信号に基づいてグローバルクロック信号を生成するグローバルクロック生成手段と、前記グローバルクロック生成手段で生成された前記グローバルクロック信号を大規模集積回路内に分配しかつ互いに逆方向となるように前記大規模集積回路内に二重ループ状に配置されたグローバルクロック分配手段と、前記グローバルクロック分配手段によって分配される 2 つのグローバルクロック信号各々の位相の中間位相を基準にローカルクロック信号を生成するローカルクロック生成手段と、前記ローカルクロック生成手段で生成された前記ローカルクロック信号を自手段の近傍領域に分配するローカルクロック分配手段とを備えている。

【0013】すなわち、本発明のクロック信号分配回路は、LSI 上の任意箇所を設置したグローバルクロック生成手段によってグローバルクロック信号を生成し、クロックバッファ及び配線から構成されるクロック分配手

## 5

段を2重かつ平行に互いに逆方向にLSI上に周回させたグローバルクロック 分配手段によって、LSI上にグローバルクロック 信号を分配させる。

【0014】このグローバルクロック 分配手段を構成する2重のクロック 分配手段によって伝達される2つのクロック 信号の夫々の遷移時点の中間の時点を基準にローカルクロック 信号を発生させるローカルクロック 生成手段をグローバルクロック 分配手段の任意箇所に複数接続し、このローカルクロック 生成手段にその近傍にローカルクロック 信号を分配するローカルクロック 分配手段を接続する。

【0015】また、グローバルクロック 分配手段を構成する2重のクロック 分配手段は平行かつ逆方向に設置しているため、2重のクロック 分配手段によって伝達される2つのクロック 信号の遷移時刻の中間の時刻はグローバルクロック 分配手段上の位置によらず同一である。

【0016】この中間の時刻を基準にしてローカルクロック 発生手段がその近傍へ分配するローカルクロック 信号を独自に発生し、ローカルクロック 分配手段がそのローカルクロック 信号を自手段の近傍に分配することによって、デバイスばらつきや温度変動、及び電源電圧変動等の影響を補償することが可能であり、LSI 全域に低スキューでクロックを分配することができる。

【0017】また、グローバルクロック 分配手段はクロックバッファにより分割されているので、高速なクロックの分配を可能にし、配線間カップリングやノイズの影響を減少させることができる。

## 【0018】

【発明の実施の形態】次に、本発明の実施例について図面を参照して説明する。図1は本発明の一実施例によるクロック 信号分配回路の構成を示すブロック 図である。図において、本発明の一実施例によるクロック 信号分配回路はグローバルクロック 生成回路1と、グローバルクロック 分配回路2と、複数のクロックバッファ 対 $3-m$  ( $m=1, 2, \dots, i+1, i+2, \dots, j, j+1, \dots, k, k+1, k+2, \dots, l+1$ )と、複数のローカルクロック 生成回路 $4-m$ と、複数のローカルクロック 分配回路 $5-m$ とから構成されている。

## 【0019】グローバルクロック 生成回路1はLSI

(図中の回路を全て含む回路)の外部より入力される基準クロック 信号に基づいてグローバルクロック 信号を生成する。グローバルクロック 分配回路2はグローバルクロック 生成回路1に接続されかつグローバルクロック 生成回路1で生成されたグローバルクロック 信号を分配する。

【0020】複数のクロックバッファ 対 $3-m$ は2つのクロックバッファ  $30-m$ ,  $31-m$ を隣接してレイアウトすることで構成されている。これら2つのクロックバッファ  $30-m$ ,  $31-m$ 各々は互いに平行にレイアウトされかつグローバルクロック 分配回路1に接続され

## 6

た2本のグローバルクロック 配線100によって接続され、2重にかつ互いに逆向きのループ状のクロック 伝達回路を形成している。

【0021】複数のローカルクロック 生成回路 $4-m$ 各々はグローバルクロック 分配回路2の任意箇所に接続されかつグローバルクロック 分配回路2によって分配されるグローバルクロック 信号に基づいてローカルクロック 信号を生成する。ローカルクロック 分配回路 $5-m$ 各々はローカルクロック 生成回路 $4-m$ に接続されかつローカルクロック 生成回路 $4-m$ で生成されたローカルクロック 信号をその近傍に分配する。

【0022】2重にかつ互いに逆向きのループ状のクロック 伝達回路各々の入力端2a, 2bは隣接してレイアウトされるか、互いに等長な配線によってグローバルクロック 生成回路1に接続されることで、同位相のグローバルクロック 信号が2つのクロック 伝達回路に入力され、LSI 上においてグローバルクロック 信号を互いに逆方向に分配する。

【0023】ローカルクロック 生成回路 $4-m$ 及びローカルクロック 分配回路 $5-m$ はLSI を構成する複数の回路ブロック (図示せず)に対応して配設されている。ローカルクロック 生成回路 $4-m$ はグローバルクロック 分配回路2によって伝達される2つのグローバルクロック 信号を入力とし、2つのグローバルクロック 信号の夫々の遷移時刻の中間の時刻を基準にしてローカルクロック 信号を生成し、ローカルクロック 分配回路 $5-m$ によって各々に対応する回路ブロック 内にローカルクロック 信号を分配する。

【0024】図2は図1のグローバルクロック 分配回路2の動作を示す図であり、図3は図1のグローバルクロック 分配回路2の動作を示すタイミングチャートである。これら図2及び図3を参照してグローバルクロック 分配回路2の動作について説明する。

【0025】グローバルクロック 分配回路2は同一のクロックバッファ  $30-m$ ,  $31-m$ によって構成されるクロックバッファ 対 $3-m$ が平行にレイアウトされたグローバルクロック 配線100によって接続された構成であるため、任意の2つのクロックバッファ 対間のグローバルクロック 信号の伝搬遅延は同一である。

【0026】例えば、クロックバッファ 対 $3-1$ ,  $3-(1+1)$ 間の伝搬遅延はその方向によらず等しく、その伝搬遅延を $T_1$ とする。同様に、クロックバッファ 対 $3-(1-1)$ ,  $3-1$ 間の伝搬遅延を $T_2$ 、クロックバッファ 対 $3-i$ ,  $3-(i+1)$ 間の伝搬遅延を $T_i$ 、クロックバッファ 対 $3-(i-1)$ ,  $3-i$ 間の伝搬遅延を $T(i+1)$ 、クロックバッファ 対 $3-2$ ,  $3-3$ 間の伝搬遅延を $T(n-1)$ 、クロックバッファ 対 $3-1$ ,  $3-2$ 間の伝搬遅延を $T_n$ とする。

【0027】このとき、グローバルクロック 分配回路2を構成する2つのクロック 伝達回路の入力端2a, 2b

7

から各々の出力端 2 c, 2 d までの伝搬遅延は等しく、  
 $T = T_1 + T_2 + \dots + T_i + T(i+1)$   
 $+ \dots + T(n-1) + T_n$   
 で表される。

【0028】図 3 は入力端 2 a, 2 b にグローバルクロック生成回路 1 から入力されるグローバルクロック信号

$$T_{a1} = T_0$$

$$T_{b1} = T_0 + T_1 + T_2 + \dots + T_i + T(i+1) + \dots + T(n-1) + T_n$$

である。

【0029】従って、分配された 2 つのクロック信号 C

$$\begin{aligned} T_{m1} &= (|T_{a1} + T_{b1}|) / 2 \\ &= [2T_0 + T_1 + T_2 + \dots + T_i + T(i+1) + \dots + T(n-1) + T_n] / 2 \\ &= T_0 + T / 2 \end{aligned}$$

である。

【0030】同様に、あるクロックドライバ対 3-i に、入力端 2 a, 2 b において T<sub>0</sub> で立上り遷移したク

$$T_{ai} = T_0 + T_1 + T_2 + \dots + T_i$$

$$T_{bi} = T_0 + T_n + T(n-1) + \dots + T(i+1)$$

である。

【0031】したがって、この 2 つのクロック信号 C

$$\begin{aligned} T_{mi} &= 1(|T_{ai} + T_{bi}|) / 2 \\ &= (2T_0 + T_1 + T_2 + \dots + T(n-1) + T_n) / 2 \\ &= T_0 + T / 2 \text{ となる。} \end{aligned}$$

【0032】すなわち、どのクロックバッファ対 3-m においても、グローバルクロック分配回路 2 によって互いに逆向きに分配される 2 つのクロック信号 C<sub>1</sub>, C<sub>2</sub> の遷移時刻の中間の時刻は  $T_0 + T / 2$  で一定である。この性質は、クロックバッファ対 3-m を同一のクロックドライバで構成し、クロックバッファ対 3-m 間を接続する 2 本のグローバルクロック配線 100 を平行にレイアウトすることで、グローバルクロック分配回路 2 を構成する任意の 2 つのクロックドライバ間のクロック信号の伝搬遅延がその伝搬方向によらず同一とするならば、その伝搬遅延量やクロックバッファ対 3-m のレイアウト配置関係、デバイス特性等によらず成立する。

【0033】図 4 は図 1 のローカルクロック生成回路 4-m の構成例を示すブロック図である。ローカルクロック生成回路 4-m は 2 つの可変遅延回路 6, 7 と、位相比較回路 8 と、制御回路 9 とから構成されている。

【0034】ローカルクロック生成回路 4-m は上記のクロック信号 C<sub>1</sub>, C<sub>2</sub> によって、クロック信号 C<sub>1</sub>, C<sub>2</sub> の遷移の中間の時刻を基準にローカルクロック信号を動的に生成する。

【0035】2 つの可変遅延回路 6, 7 は入力 CLK<sub>e</sub> に入力されるクロック信号を入力としかつ互いに直列に接続されている。位相比較回路 8 は可変遅延回路 7 の出力と入力 CLK<sub>1</sub> に入力されるクロック信号との間の位相差を検出する。制御回路 9 は位相比較回路 8 の出力に

8

のある立上り遷移の時刻を T<sub>0</sub> とした時のタイミングチャートである。入力端 2 a, 2 b において T<sub>0</sub> で立上り遷移したクロック信号が、グローバルクロック分配回路 2 によって互いに逆向きに分配され、クロック信号 C<sub>1</sub>, C<sub>2</sub> としてクロックドライバ対 3-(1+1) に到着する時刻を夫々 T<sub>a1</sub>, T<sub>b1</sub> とすると、

10 1, C<sub>2</sub> の遷移時刻の中間の時刻 T<sub>m1</sub> は、

ロック信号がグローバルクロック分配回路 2 によってクロック信号 C<sub>1</sub>, C<sub>2</sub> として到着する時刻を T<sub>ai</sub>, T<sub>bi</sub> とすると、

1, C<sub>2</sub> の遷移時刻の中間の時刻 T<sub>mi</sub> は、

したがって可変遅延回路 6, 7 の遅延量を制御する。これら可変遅延回路 6, 7 と位相比較回路 8 と制御回路 9 とによって遅延同期ループが形成されている。

【0036】直列接続された 2 つの可変遅延回路 6, 7 の前段の可変遅延回路 6 の出力を出力 CLK<sub>o</sub> とする。入力 CLK<sub>e</sub> にはグローバルクロック分配回路 2 によって分配される 2 つのクロック信号 C<sub>1</sub>, C<sub>2</sub> のうちの位相の進んでいる方が、入力 CLK<sub>1</sub> には位相の遅れている方が夫々入力される。

【0037】直列に接続された 2 つの可変遅延回路 6, 7 は入力 CLK<sub>e</sub> に入力されたクロック信号を遅延させる。位相比較回路 8 はこの遅延されたクロック信号と入力 CLK<sub>1</sub> に入力されたクロック信号との位相比較を行い、その比較結果を制御回路 9 に出力する。

【0038】制御回路 9 は位相比較回路 8 の比較結果に基づいて、位相比較回路 8 に入力される 2 つのクロック信号の位相差をなくすように 2 つの可変遅延回路 6, 7 の遅延量を変更する。位相比較回路 8 の 2 つの入力の位相差が 0 となった状況では 2 つの可変遅延回路 6, 7 が同じ遅延量を持つため、出力 CLK<sub>o</sub> には入力 CLK<sub>e</sub> 及び入力 CLK<sub>1</sub> に入力されたクロック信号の遷移時刻の中間の時刻で遷移する信号が得られる。すなわち、グローバルクロック分配回路 2 によって分配される 2 つのクロック信号 C<sub>1</sub>, C<sub>2</sub> の夫々の位相の中間の位相を持つクロック信号が出力 CLK<sub>o</sub> に出力される。

【0039】例えば、入力CLK<sub>e</sub>に入力されるクロック信号の位相を $\phi 1$ 、入力CLK<sub>1</sub>に入力されるクロック信号の位相を $\phi 2 = \phi 1 + \Delta \phi$ 、可変遅延回路 6, 7 の遅延量をXとした時、位相比較回路 8に入力される 2 つのクロック信号の位相差が0になると、

$$\phi 1 + 2 \cdot X = \phi 2$$

$$= \phi 1 + \Delta \phi$$

が成り立つ。

【0040】この時、 $X = \Delta \phi / 2$ であり、出力CLK<sub>o</sub>には入力CLK<sub>e</sub>及び入力CLK<sub>1</sub>に入力されるクロック信号C<sub>1</sub>、C<sub>2</sub>の中間の位相 ( $\phi 1 + \Delta \phi / 2$ ) をもつクロック信号が出力される。これはクロック信号C<sub>1</sub>、C<sub>2</sub>間の位相差  $\Delta \phi$  の大きさに依存しない。すなわち、ローカルクロック 生成回路 4-mはグローバルクロック 分配回路 2に接続する位置によらず、全てのローカルクロック 生成回路 4-mで同位相のクロック 信号を生成することが可能となる。

【0041】図5は図1のローカルクロック 生成回路 4-mの他の構成例を示すブロック 図である。ローカルクロック 生成回路 4-mの他の構成例では2つの固定遅延回路 10, 11を配設した以外は図4に示す構成例と同様の構成となっており、同一構成要素には同一符号を付してある。

【0042】ローカルクロック 生成回路 4-mの他の構成例では図4に示すローカルクロック 生成回路 4-mにおいて、入力CLK<sub>1</sub>に入力されるクロック 信号を2つ直列に接続した固定遅延回路 10, 11を通して位相比較回路 8に入力する。2つの固定遅延回路 10, 11は可変遅延回路 6, 7の最小遅延量が0でない時に、固定遅延回路 10, 11の遅延量を可変遅延回路 6, 7の最小遅延量と同一にすることで、その最小遅延を補償する。

【0043】例えば、グローバルクロック 分配回路 2の入力端 2a, 2bから出力端 2c, 2dまでの遅延時間がTの時、ローカルクロック 生成回路 4-mをグローバルクロック 分配回路 2の任意の位置に接続可能とするためには、ローカルクロック 生成回路 4-mが入力する 2 つのクロック 信号C<sub>1</sub>、C<sub>2</sub>の位相差  $\Delta \phi$  は  $0 \leq \Delta \phi \leq T$  の範囲をとりうるので、図4に示すローカルクロック 生成回路 4-mでは上記の説明から、可変遅延回路 6, 7の遅延量Xを  $0 \leq X \leq T / 2$  の範囲とする必要がある。

【0044】ローカルクロック 生成回路 4-mの他の構成例において、可変遅延回路 6, 7の遅延量Xが  $X_0 \leq X \leq T / 2$  である時、固定遅延回路 10, 11の遅延量をX<sub>0</sub>とすることで、ローカルクロック 生成回路 4-mをグローバルクロック 分配回路 2の任意の位置に接続することが可能となる。

【0045】例えば、入力CLK<sub>e</sub>に入力されるクロック信号の位相を $\phi 1$ 、入力CLK<sub>1</sub>に入力されるクロック

ク信号の位相を $\phi 2 = \phi 1 + \Delta \phi$ 、可変遅延回路 6, 7 の遅延量をXとした時、位相比較回路 8に入力される 2 つのクロック 信号の位相差が0になると、

$$\phi 1 + 2 \cdot X = \phi 2 + 2 \cdot X_0$$

$$= \phi 1 + \Delta \phi + 2 \cdot X_0$$

が成り立つ。

【0046】この時、 $X = \Delta \phi / 2 + X_0$ であり、出力CLK<sub>o</sub>には入力CLK<sub>e</sub>及び入力CLK<sub>1</sub>に入力されるクロック 信号C<sub>1</sub>、C<sub>2</sub>の中間の位相  $\phi 1 + \Delta \phi / 2$  よりX<sub>0</sub>だけ遅れた位相  $\phi 1 + \Delta \phi / 2 + X_0$ をもつクロック 信号が出力される。すなわち、グローバルクロック 分配回路 2に接続された全てのローカルクロック 生成回路 4-mで固定遅延 X<sub>0</sub>を補償することによって、グローバルクロック 分配回路 2に接続する位置によらず、同位相のクロック 信号を生成することが可能となる。この場合、可変遅延回路 6, 7の遅延量Xを  $X_0 \leq X \leq T / 2$  の範囲とすることができればよい。

【0047】図6は図4の可変遅延回路 6の構成例を示す図である。図において、可変遅延回路 6はインバータ 61～67とNAND（否定論理積）ゲート 68～90とから構成されている。尚、可変遅延回路 7も可変遅延回路 6と同様の構成となっている。

【0048】可変遅延回路 6において、入力INから入力される信号はNANDゲート 68～90によって遅延されて出力OUTから出力される。入力D<sub>1</sub>～D<sub>7</sub>には可変遅延回路 6の遅延量を制御するための信号が入力される。

【0049】入力D<sub>1</sub>～D<sub>7</sub>に入力される信号全てが“1”の時、この可変遅延回路 6は最小遅延を提供する。NANDゲート 68～90の遅延量をdとすると、入力INから入力された信号はNANDゲート 76, 83を通過して出力OUTに出力され、その遅延は2dである。

【0050】入力D<sub>1</sub>に入力される信号を“0”、入力D<sub>2</sub>～D<sub>7</sub>に入力される信号を“1”とすると、入力INから入力された信号はNANDゲート 68, 77, 84, 83を通過して出力OUTに出力される。この時の遅延は4dである。

【0051】同様にして、入力D<sub>1</sub>～D<sub>7</sub>に入力される信号を全て“0”にすると、入力INから出力OUTまでの遅延時間は16dとなる。すなわち、入力D<sub>1</sub>～D<sub>7</sub>に入力される信号の値によって2dから16dまでの2d単位の遅延を提供することができる。制御回路9は入力D<sub>1</sub>～D<sub>7</sub>に入力される信号を制御することによって、可変遅延回路 6の遅延量の制御を行う。また、制御回路9は上記と同様にして可変遅延回路 7の遅延量の制御を行う。

【0052】図7は図5の固定遅延回路 10の構成例を示す図である。図において、固定遅延回路 10はNANDゲート 10a～10cから構成されている。尚、固定

遅延回路 1 1 は固定遅延回路 1 0 と同様の構成となっている。

【0053】固定遅延回路 1 0 を構成する NAND ゲート 1 0 a ~ 1 0 c に、上述した可変遅延回路 6 の NAND ゲート 6 8 ~ 9 0 と同一の NAND ゲートを用いることで、可変遅延回路 6 の最小遅延 2 d を提供する。

【0054】図 1 において、ローカルクロック 分配回路 5 - m は上記のローカルクロック 生成回路 4 - m で生成され、出力 CLK o に出力されるローカルクロック 信号を回路ブロック内に分配する。

【0055】図 8 は図 1 のローカルクロック 分配回路 5 - m の構成例を示す図である。図において、ローカルクロック 分配回路 5 - m は遅延同期 ループ回路 1 2 とクロックツリー 1 3 とから構成され、遅延同期 ループ回路 1 2 の出力をクロックツリー 1 3 の入力に、クロックツリー 1 3 の出力を遅延同期 ループ回路 1 2 の入力に接続することによって、ループを形成している。

【0056】遅延同期 ループ回路 1 2 は可変遅延回路 1 2 a と、位相比較回路 1 2 b と、制御回路 1 2 c とから構成されており、クロックツリー 1 3 は複数のクロックバッファ 1 3 a ~ 1 3 m から構成されている。

【0057】位相比較回路 1 2 b は入力 CLK から入力されるローカルクロック 生成回路 4 - m の出力クロック信号とクロックツリー 1 3 の末端のクロック信号との位相を比較し、その結果を制御回路 1 2 c に出力する。制御回路 1 2 c は位相比較回路 1 2 b の出力を基に、入力 CLK から入力されるクロック信号とクロックツリー 1 3 の末端のクロック信号との位相差を 0 にするように可変遅延回路 1 2 a の遅延量を調整する。

【0058】クロックツリー 1 3 は回路ブロック内の近傍領域のみにクロック信号を分配すればよいので、LSI 全体にクロックツリーでクロック分配を行う時とは異なり、クロックツリー末端間のスキューを十分小さくしてクロックを分配できることが期待できる。

【0059】各ローカルクロック 分配回路 5 - m を構成するクロックツリー 1 3 の規模に差がなく、その遅延差が許容できる範囲内になる場合には遅延同期 ループ回路 1 2 を省略することもできる。

【0060】ローカルクロック 生成回路 4 - m のグローバルクロック 分配回路 5 - m への接続位置は任意である。図 1 においてはクロックバッファ 対 3 - m の入力側に接続しているが、クロックバッファ 対 3 - m の出力側でもよいし、クロックバッファ 対 3 - m の間隔が十分小さく、グローバルクロック 配線 1 0 0 上の位置による遅延差が無視できる場合にはクロックバッファ 対 3 - m 間の配線でもよい。

【0061】また、ローカルクロック 分配回路 5 - m の数も任意である。したがって 1 組のローカルクロック 生成回路及びローカルクロック 分配回路がローカルクロック信号を分配する範囲を十分に小さくすることができ

る。

【0062】さらに、クロック 信号 C 1, C 2 の位相差を検出し、動的にクロック 生成を行うので、回路ブロック間のデバイスばらつきや温度変動、及び電源電圧変動等を補償することができる。

【0063】グローバルクロック 分配回路 2 を構成するクロックバッファ 対 3 - m のレイアウト 間隔は任意であるが、全てのクロックバッファ 対 3 - m のレイアウト 間隔を同一とすることで、全てのグローバルクロック 配線 1 0 0 の配線抵抗や配線容量を同一とし、全てのクロックバッファ 対 3 - m 間の遅延を同一とするならば、クロックバッファ 対 3 - m 間のデバイスばらつきや温度変動、及び電源電圧変動等をも補償することができる。

【0064】すなわち、図 2 において、各クロックバッファ 対 3 - m 間の遅延を  $T_p = T_1 = T_2 = \dots = T_n$  とすると、i 番目のクロックバッファ 対 3 - i に接続されたローカルクロック 生成回路 4 - i が入力する 2 つのクロック 信号 C 1, C 2 の位相は、グローバルクロック 分配回路 2 の入力端 2 a, 2 b から  $(i - 1) \cdot T_p$  及び  $(n - i + 1) \cdot T_p$  だけ遅れている。

【0065】いま仮にあるクロックバッファ 対にデバイスばらつきや温度変動、及び電源電圧変動等の影響が加わり、両側に隣接するクロックバッファ 対までの遅延時間が  $T_p + \Delta t$  となったとすると、上記のクロック 信号 C 1, C 2 の入力端 2 a, 2 b からの位相遅れは  $(i - 1) \cdot T_p + \Delta t$  及び  $(n - i + 1) \cdot T_p$  または、 $(i - 1) \cdot T_p$  及び  $(n - i + 1) \cdot T_p + \Delta t$  となる。つまり、クロック 信号 C 1, C 2 の位相の中間の位相をもつクロック 信号は入力端 2 a, 2 b から  $(n \cdot T_p + \Delta t) / 2$  の位相遅れをもち、これはローカルクロック 生成回路 4 - m の接続位置によらず一定である。

【0066】したがって、デバイスばらつきや温度変動、及び電源電圧変動等の影響で、あるクロックバッファ 対の特性にずれが生じても、それを補償して、各ローカルクロック 生成回路 4 - m は同位相のローカルクロック信号を生成することが可能となる。また、これは意図的にクロックバッファ 対 3 - m 間で異なる大きさのクロックバッファ や異なる電源電圧が使用可能なことを意味し、同様に各ローカルクロック 生成回路 4 - m は同位相のローカルクロック 信号を生成することが可能となる。

【0067】以上の説明で明らかのように、本発明によってデバイスばらつきや温度変動、及び電源電圧変動等の影響を補償することが可能である。また、グローバルクロック 分配回路 5 - m は複数のクロックバッファ 対 3 - m が挿入されており、クロックバッファ 対 3 - m 間の配線が十分短いので、配線間カップリングやノイズの影響を受けにくく、かつ高速なクロック 分配を可能にする。これによって、LSI 全体に低スキューでかつ高速なクロック 信号を分配することが可能となる。

【0068】図 9 は図 4 の位相比較回路 8 の構成例を示

す図である。図において、位相比較回路 8 は 2 つの分周回路 1 4, 1 5 と、2 つの D フリップフロップ 1 6, 1 7 とから構成されている。入力 C L K に入力されるクロック信号は分周回路 1 4 を通してフリップフロップ 1 6 の D 入力とフリップフロップ 1 7 のクロック入力に夫々入力され、入力 R E F に入力されるクロック信号は分周回路 1 5 を通してフリップフロップ 1 7 の D 入力とフリップフロップ 1 6 のクロック入力に夫々入力される。分周回路 1 4, 1 5 は D フリップフロップ 1 4 a, 1 5 a の否定出力を入力にフィードバックすることで、入力信号を 2 分周する。

【0069】図 10 は図 4 の位相比較回路 8 の動作を示すタイミングチャートである。これら図 9 及び図 10 を参照して位相比較回路 8 の動作について説明する。入力 R E F から入力されるクロック信号は分周回路 1 5 によって 2 分周される。同様に、入力 C L K から入力されるクロック信号は分周回路 1 4 によって 2 分周される。

【0070】分周回路 1 4 の出力すなわち入力 C L K から入力されるクロック信号を 2 分周した信号を C L K 2、分周回路 1 5 の出力すなわち入力 R E F から入力されるクロック信号を 2 分周した信号を R E F 2 とすると、C L K 2 は D フリップフロップ 1 6 によって R E F 2 の立上りのタイミングでラッチされ、出力 I N C から出力される。

【0071】また、R E F 2 は D フリップフロップ 1 7 によって C L K 2 の立上りのタイミングでラッチされ、出力 D E C から出力される。すなわち、入力 C L K から入力されるクロック信号よりも入力 R E F から入力されるクロック信号の位相が進んでいれば、出力 I N C が “0”、出力 D E C が “1” となる。逆に、入力 R E F から入力されるクロック信号よりも入力 C L K から入力されるクロック信号の位相が進んでいれば、出力 I N C が “1”、D E C が “0” となる。

【0072】図 4 に示したローカルクロック 発生回路 4 - m において、入力 C L K e から入力されかつ 2 つの可変遅延回路 6, 7 を通過したクロック信号を位相比較回路 8 の入力 C L K に接続し、入力 C L K 1 を入力 R E F に接続するとともに、制御回路 9 が位相比較回路 8 の出力 I N C の出力が “1” であれば可変遅延回路 6, 7 の遅延を増加させ、位相比較回路 8 の出力 D E C の出力が “1” であれば可変遅延回路 6, 7 の遅延を減少させることによって、ローカルクロック 生成回路 4 - m は上述した所望の動作を実現する。

【0073】位相比較回路 8 の分周回路 1 4, 1 5 は検出可能な位相差の最大値を増加させる。すなわち、入力 C L K から入力されるクロック信号及び入力 R E F から入力されるクロック信号を 2 分周することによって、入力 C L K と入力 R E F とから入力されるクロック信号の検出可能な最大の位相差はそのサイクル時間を  $T_c$  とすると、 $T_c / 2$  から  $T_c$  に増加する。

【0074】さらに分周し、例えば  $n$  分周すると、検出可能な最大位相差は  $(T_c / 2) \cdot n$  となる。すなわち、分周数を増加させれば検出可能な最大位相差が増加するため、グローバルクロック 分配回路 5 - m からローカルクロック 生成回路 4 - m に入力する 2 つのクロック信号の位相差に制限はない。これは、グローバルクロック 分配回路 2 の入力端 2 a, 2 b から出力端 2 c, 2 d までの遅延時間の最大値に制限がないことを意味する。

【0075】したがって、グローバルクロック 分配回路 5 - m にクロックバッファ 対 3 - m を適切な間隔で挿入することができるため、カップリング や ノイズ 等の影響を削減することができる。また、グローバルクロック 分配回路 2 の形状の自由度も向上し、例えば L S I 上の他回路のレイアウト 状況等に合わせて所望の形状に変形させることも容易になる。

【0076】分周回路 1 4, 1 5 によって入力 C L K と入力 R E F とから入力されるクロック信号を分周する代わりに、入力 C L K と入力 R E F とから入力されるクロック信号のパルスを選択するパルス選択回路を入力 C L K 及び入力 R E F に接続し、入力 C L K と入力 R E F とで対応するパルスのみを通過させるようにしても 同様に検出可能な最大位相差を増加させることができる。

【0077】図 11 は図 1 のローカルクロック 分配回路 5 - m の他の構成例を示す図である。図において、ローカルクロック 分配回路 5 - m は遅延同期 ループ 回路 1 8 とクロックツリー 1 3 とから構成され、遅延同期 ループ 回路 1 8 の出力をクロックツリー 1 3 の入力に、クロックツリー 1 3 の出力を遅延同期 ループ 回路 1 8 の入力に接続することによって、ループを形成している。

【0078】このローカルクロック 分配回路 5 - m の他の構成例では遅延同期 ループ 回路 1 8 において、図 8 に示す遅延同期 ループ 回路 1 2 の出力に分周回路 1 8 d を接続した以外は図 8 に示す遅延同期 ループ 回路 1 2 の構成と同様である。

【0079】分周回路 1 8 d は入力 C L K に入力されかつ可変遅延回路 1 8 a で遅延されたグローバルクロック信号を分周し、ローカルクロック 信号としてクロックツリー 1 3 に出力する。この分周回路 1 8 d によってグローバルクロック 分配回路 2 で分配されるグローバルクロック信号の周波数よりも低い周波数のクロック信号を、グローバルクロック 信号と同位相で分配することができる。

【0080】図 12 は図 1 のローカルクロック 分配回路 5 - m の別の構成例を示す図である。図において、ローカルクロック 分配回路 5 - m は位相同期 ループ 回路 1 9 とクロックツリー 1 3 とから構成され、位相同期 ループ 回路 1 9 の出力をクロックツリー 1 3 の入力に、クロックツリー 1 3 の出力を位相同期 ループ 回路 1 9 の入力に接続することによって、ループを形成している。

【0081】このローカルクロック 分配回路 5 - m の他



の構成例では位相同期ループ回路 1 9 において、図 8 に示す遅延同期ループ回路 1 2 の代わりに、位相同期ループ回路 1 9 を使用している。位相同期ループ回路 1 9 は可変発振回路 1 9 a と、位相比較回路 1 9 b と、ループフィルタ 1 9 c と、分周回路 1 9 d とから構成されている。

【0082】可変発振回路 1 9 a はループフィルタ 1 9 c によってフィルタリングされた位相比較回路 1 9 b の出力によってその発振周波数が決定され、その出力はクロックツリー 1 3 を通じて回路ブロック内に分配され、分周回路 1 9 d はクロックツリー 1 3 の末端のクロック信号を分周して位相比較回路 1 9 b に入力する。

【0083】位相比較回路 1 9 b は入力 CLK から入力されるクロック信号とクロックツリー 1 3 からフィードバックされかつ分周回路 1 9 d で分周されたクロック信号との位相を比較し、その比較結果をループフィルタ 1 9 c を通じて可変発振回路 1 9 a に出力し、その発振周波数を制御する。これによって、入力 CLK から入力されるクロック信号とクロックツリー 1 3 からフィードバックされかつ分周回路 1 9 d によって分周されたクロック信号との位相及び周波数を一致させている。

【0084】分周回路 1 9 d でクロックツリー 1 3 からのフィードバック信号を分周することによって、入力 CLK から入力されるグローバルクロック信号と同位相でかつ周波数の高いローカルクロック信号を回路ブロック内に分配することができる。したがって、グローバルクロック信号は周波数を低くすることができるので、グローバルクロック信号の分配に消費される電力が削減可能となる。

【0085】図 1 3 は図 1 のグローバルクロック生成回路 1 の構成例を示す図である。図において、グローバルクロック生成回路 1 は位相同期ループ回路 2 0 と、セレクト 2 5 と、AND（論理積）ゲート 2 6 とから構成されており、位相同期ループ回路 2 0 は可変発振回路 2 1 と、位相比較回路 2 2 と、ループフィルタ 2 3 と、分周回路 2 4 とから構成されている。

【0086】このグローバルクロック生成回路 1 においては位相同期ループ回路 2 0 によって入力 CLK に入力される L S I 外部からの基準クロック信号を逡倍し、その逡倍したクロック信号を AND ゲート 2 6 を通じて出力 OUT からグローバルクロック分配回路 2 に出力している。

【0087】AND ゲート 2 6 は入力 ENA によって、位相同期ループ回路 2 0 がロックするまでは、その出力が OUT に出力されるのを防ぐことで、各ローカルクロック生成回路 4 - m やローカルクロック分配回路 5 - m の誤動作を防止する。セレクト 2 5 は初期状態では可変発振回路 2 1 の出力を分周回路 2 4 にフィードバックしている。

【0088】位相同期ループ回路 2 0 がロックし、グロ

ーバルクロック分配回路 2 への出力が開始されると、セレクト 2 5 は入力 REF に入力される近傍のローカルクロック生成回路 4 - m の出力を分周回路 2 4 にフィードバックすることによって、外部クロック信号と L S I 内部に分配されるクロック信号との位相合わせを可能にしている。

【0089】上記のように本発明では、グローバルクロック分配回路 2 によってグローバルクロック信号を各回路ブロックに分配し、各回路ブロックはローカルクロック生成回路 4 - m でローカルクロック信号を生成し、ローカルクロック分配回路 5 - m で回路ブロック内にローカルクロック信号を分配する。これは、各回路ブロックでローカルクロック生成・分配回路の設計レイアウトを他の回路ブロックに依存せずに独立して行えることを意味し、設計レイアウトコストを削減することが可能となる。

【0090】また、各回路ブロック単位で周波数制御やクロック停止等のクロック制御を容易に行うことができる。さらに、位相同期ループ回路あるいは遅延同期ループ回路で動的に位相合わせを行うので、各回路ブロックで異なる周波数のクロック信号を選択することができ、また各回路ブロック毎に電源電圧が異なってもよい。

【0091】図 1 4 は本発明を適用した L S I の構成例を示す図である。図において、L S I 4 0 は回路ブロック 4 1 ~ 4 8 で構成され、回路ブロック 4 1 はクロック周波数が f 1、電源電圧が V 1 となっており、回路ブロック 4 2 はクロック周波数が f 2、電源電圧が V 2 となっており、回路ブロック 4 3 はクロック周波数が f 3、電源電圧が V 3 となっており、回路ブロック 4 4 はクロック周波数が f 4、電源電圧が V 4 となっている。

【0092】また、回路ブロック 4 5 はクロック周波数が f 5、電源電圧が V 5 となっており、回路ブロック 4 6 はクロック周波数が f 6、電源電圧が V 6 となっており、回路ブロック 4 7 はクロック周波数が f 7、電源電圧が V 7 となっており、回路ブロック 4 8 はクロック周波数が f 8、電源電圧が V 8 となっている。

【0093】各回路ブロック 4 1 ~ 4 8 にはローカルクロック生成・分配回路 5 1 ~ 5 8 が設けられており、ローカルクロック生成・分配回路 5 1 ~ 5 8 によって各回路ブロック 4 1 ~ 4 8 で適切なクロック周波数及び電源電圧が選択される。

【0094】一般に、L S I 回路の消費電力 P はクロック周波数を f、電源電圧を V、付加容量を C とした時、 $P = 1 / 2 \cdot f \cdot C \cdot V \cdot V$  で表される。すなわち、その回路ブロック 4 1 ~ 4 8 に適切なクロック周波数及び電源電圧を選択することは消費電力を削減する効果がある。

【0095】また、各回路ブロック 4 1 ~ 4 8 で独立してローカルクロック生成・分配回路 5 1 ~ 5 8 の設計を

10

20

30

40

50

行えることから、図 1 4 に示すように、他回路ブロックのローカルクロック 生成・分配回路やグローバルクロック 生成・分配回路の再設計を行うことなく、回路ブロック 4 3 と回路ブロック 4 9 との入替えや回路ブロック 4 1 ~ 4 8 の再設計を行うことができる。

【0 0 9 6】これは回路ブロック 4 1 ~ 4 8 のモジュール化やライブラリ化を容易にし、回路ブロック 4 1 ~ 4 8 の再利用性を向上させ、特に多様な機能を 1 チップに集積するシステム L S I の設計コストの削減が可能となる。

【0 0 9 7】このように、互いに逆方向かつ 2 重にグローバルクロック 分配回路 2 を設置してグローバルクロック 信号を分配し、L S I を構成する複数の回路ブロック 4 1 ~ 4 8 毎に独立にローカルクロック 信号を生成・分配することによって、デバイスばらつきや温度変動、及び電源電圧変動等 による影響を補償し、L S I 全体に低スキューでクロック 信号を分配することができる。

【0 0 9 8】また、グローバルクロック 分配回路 2 に複数のクロックバッファ 3 0 - m, 3 1 - m を挿入し、各クロックバッファ 3 0 - m, 3 1 - m 間の配線を十分短くすることで、配線間カップリングやノイズの影響が受けにくくなり、高速なクロック 信号の分配が可能となる。

【0 0 9 9】さらに、グローバルクロック 分配回路 2 に接続するローカルクロック 生成回路 4 - m の数及び位置が任意であるため、設計レイアウトでの自由度を高くすることができ、クロック 分配回路 2 の設計レイアウトコストを減少させることができる。

【0 1 0 0】さらにまた、L S I を構成する各回路ブロック 4 1 ~ 4 8 でローカルクロック 生成・分配回路 5 1 ~ 5 8 を、他の回路ブロック に非依存でかつ独立して設計レイアウトすることができるので、回路ブロック 4 1 ~ 4 8 のモジュール化やライブラリ化が容易となり、再利用性が向上するとともに、システム L S I の設計コストを削減することができる。また、回路ブロック 4 1 ~ 4 8 単位で周波数変更やクロック 停止等のクロック 制御を容易に行うことができる。

【0 1 0 1】この場合、L S I を構成する各回路ブロック 4 1 ~ 4 8 で異なったクロック 周波数及び電源電圧を容易に選択することができるので、各回路ブロック 4 1 ~ 4 8 毎に適切なクロック 周波数及び電源電圧を選択することによって、消費電力を削減することができる。

【0 1 0 2】

【発明の効果】以上説明したように本発明によれば、外部から入力される基準クロック 信号に基づいてグローバルクロック 信号を生成するグローバルクロック 生成手段と、グローバルクロック 生成手段で生成されたグローバルクロック 信号を大規模集積回路内に分配しかつ互いに逆方向となるように大規模集積回路内に二重ループ状に配置されたグローバルクロック 分配手段と、グローバル

クロック 分配手段によって分配される 2 つのグローバルクロック 信号各々の位相の中間位相 を基準にローカルクロック 信号を生成するローカルクロック 生成手段と、ローカルクロック 生成手段で生成されたローカルクロック 信号を自手段の近傍領域 に分配するローカルクロック 分配手段とを備えることによって、L S I 上に低スキューでかつ高速なクロック を分配することができるという 効果がある。

【図面の簡単な説明】

10 【図 1】本発明 の一実施例によるクロック 信号分配回路の構成を示すブロック 図である。

【図 2】図 1 のグローバルクロック 分配回路の動作を示す図である。

【図 3】図 1 のグローバルクロック 分配回路の動作を示すタイミングチャートである。

【図 4】図 1 のローカルクロック 生成回路の構成例を示すブロック 図である。

【図 5】図 1 のローカルクロック 生成回路の他の構成例を示すブロック 図である。

20 【図 6】図 4 の可変遅延回路 の構成例を示す図である。

【図 7】図 5 の固定遅延回路 の構成例を示す図である。

【図 8】図 1 のローカルクロック 分配回路の構成例を示す図である。

【図 9】図 4 の位相比較回路 の構成例を示す図である。

【図 1 0】図 4 の位相比較回路 の動作を示すタイミングチャートである。

【図 1 1】図 1 のローカルクロック 分配回路の他の構成例を示す図である。

30 【図 1 2】図 1 のローカルクロック 分配回路の別の構成例を示す図である。

【図 1 3】図 1 のグローバルクロック 生成回路の構成例を示す図である。

【図 1 4】本発明を適用した L S I の構成例を示す図である。

【図 1 5】従来例のクロック 分配回路の構成例を示すブロック 図である。

【図 1 6】従来例のクロック 分配回路を他の構成例を示すブロック 図である。

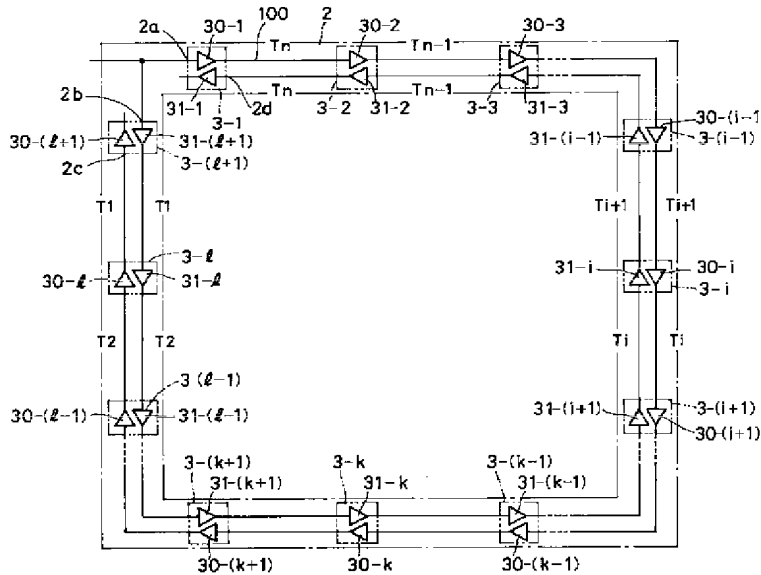
【符号の説明】

- 40 1 グローバルクロック 生成回路  
2 グローバルクロック 分配回路  
2 a, 2 b 入力端  
2 c, 2 d 出力端  
3 - 1 ~ 3 - ( 1 + 1 ) クロックバッファ 対  
4 - ( i + 1 ), 4 - ( i + 2 ), 4 - j, 4 - ( k + 1 ), 4 - ( 1 + 1 ) ローカルクロック 生成回路  
5 - ( i + 1 ), 5 - ( i + 2 ), 5 - j, 5 - ( k + 1 ), 5 - ( 1 + 1 ) ローカルクロック 分配回路  
6, 7, 1 2 a, 1 8 a 可変遅延回路  
50 8, 1 2 b, 1 8 b, 1 9 b, 2 2 位相比較回路

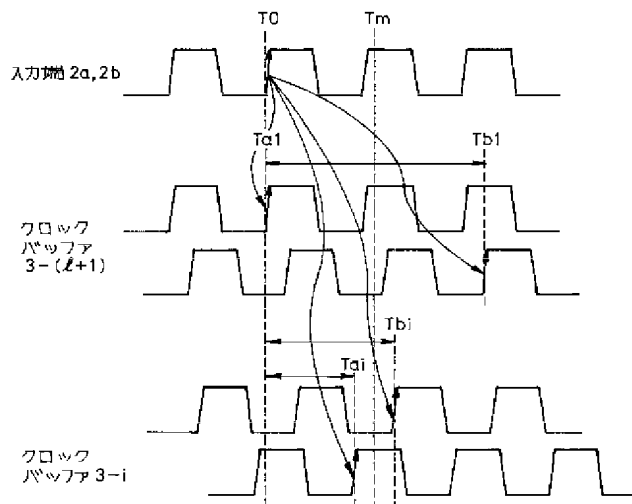
19

9, 12c, 18c 制御回路  
 10, 11 固定遅延回路  
 10a~10c, 68~90 NANDゲート  
 12, 18 遅延同期 ループ回路  
 13 クロックツリー  
 13a~13m, 30-1~30-(1+1), 31-1~31-(1+1) クロックバッファ  
 14, 15, 18d, 19d, 24 分周回路  
 14a, 15a, 16, 17 Dフリップフロップ

【図 2】



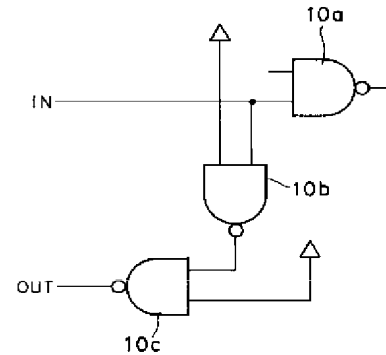
【図 3】



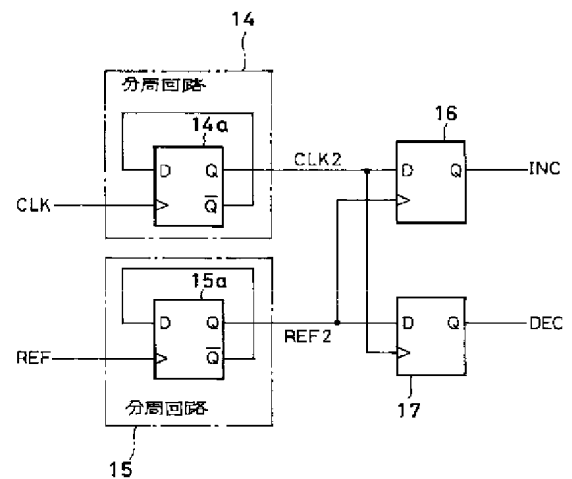
20

19a, 21 可変発振回路  
 19c, 23 ループフィルタ  
 20 位相同期 ループ回路  
 25 セレクタ  
 26 ANDゲート  
 40 LSI  
 41~49 回路ブロック  
 51~58 ローカルクロック 生成・分配回路  
 61~67 インバータ

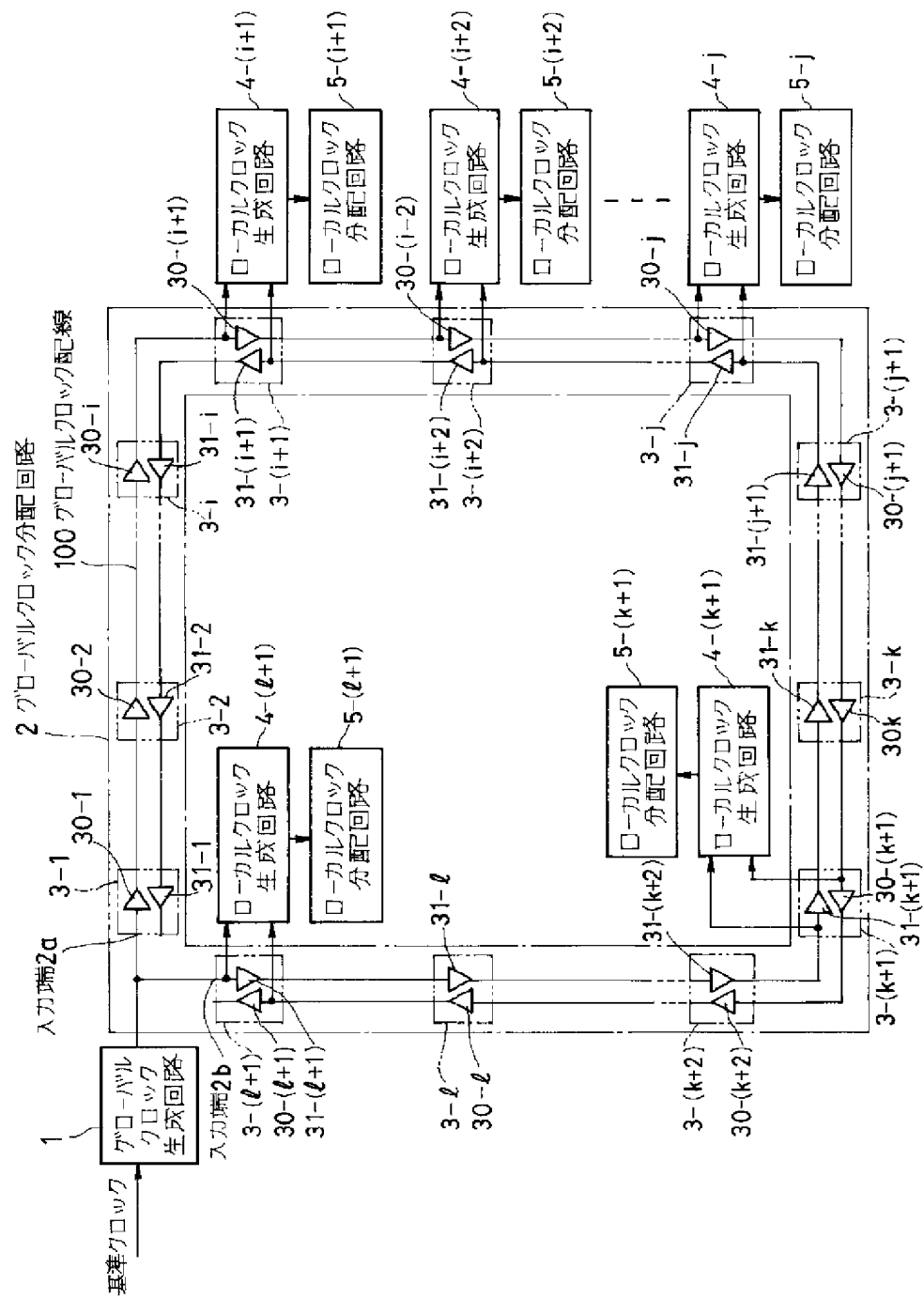
【図 7】



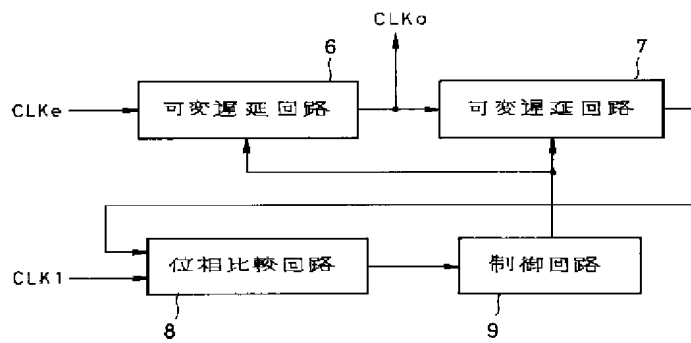
【図 9】



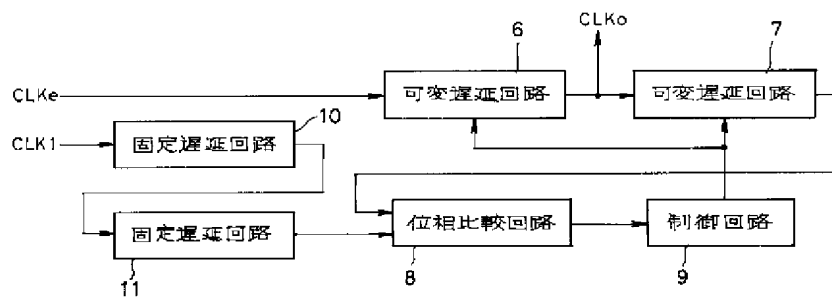
【図 1】



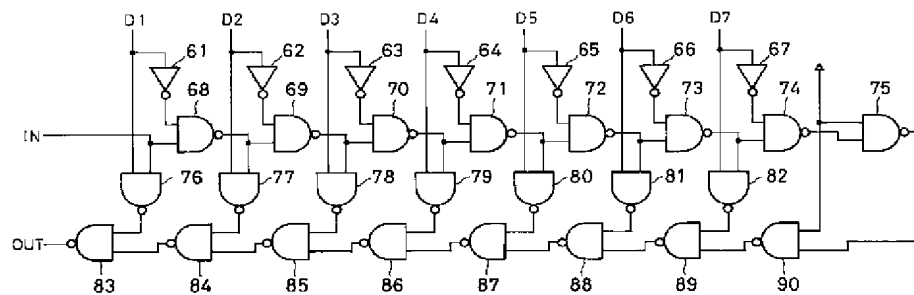
【図 4】



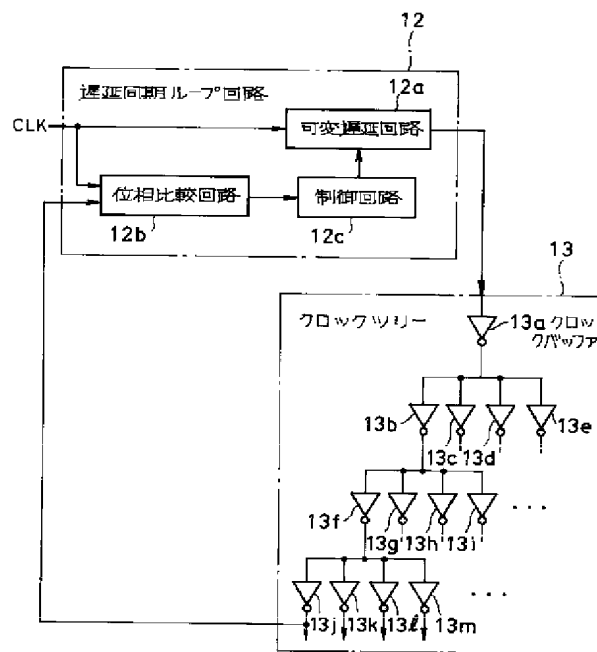
【図 5】



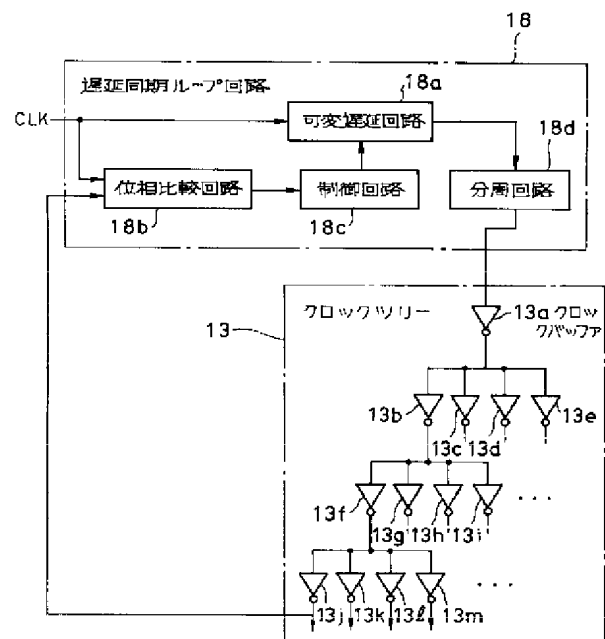
【図 6】



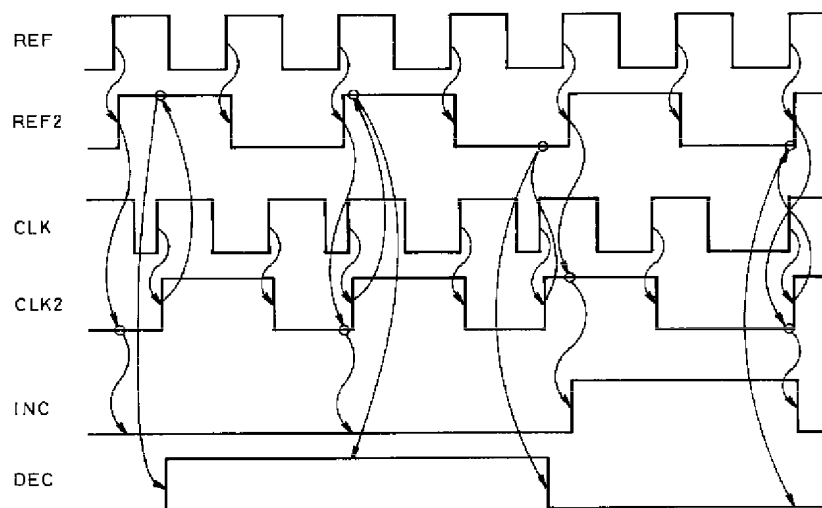
【図 8】



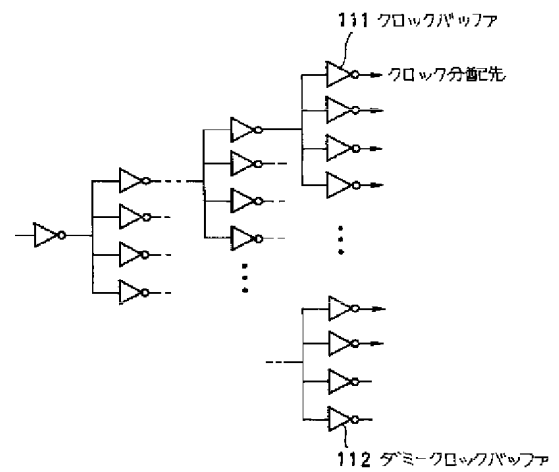
【図 11】



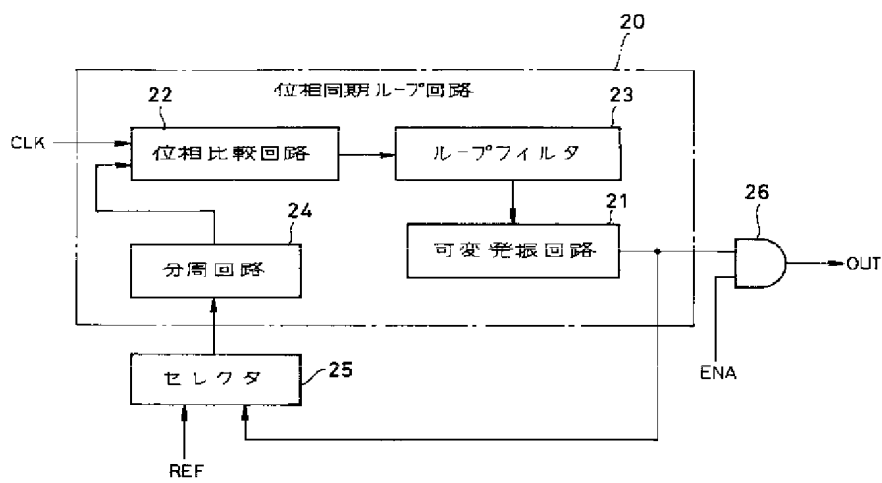
【図 10】



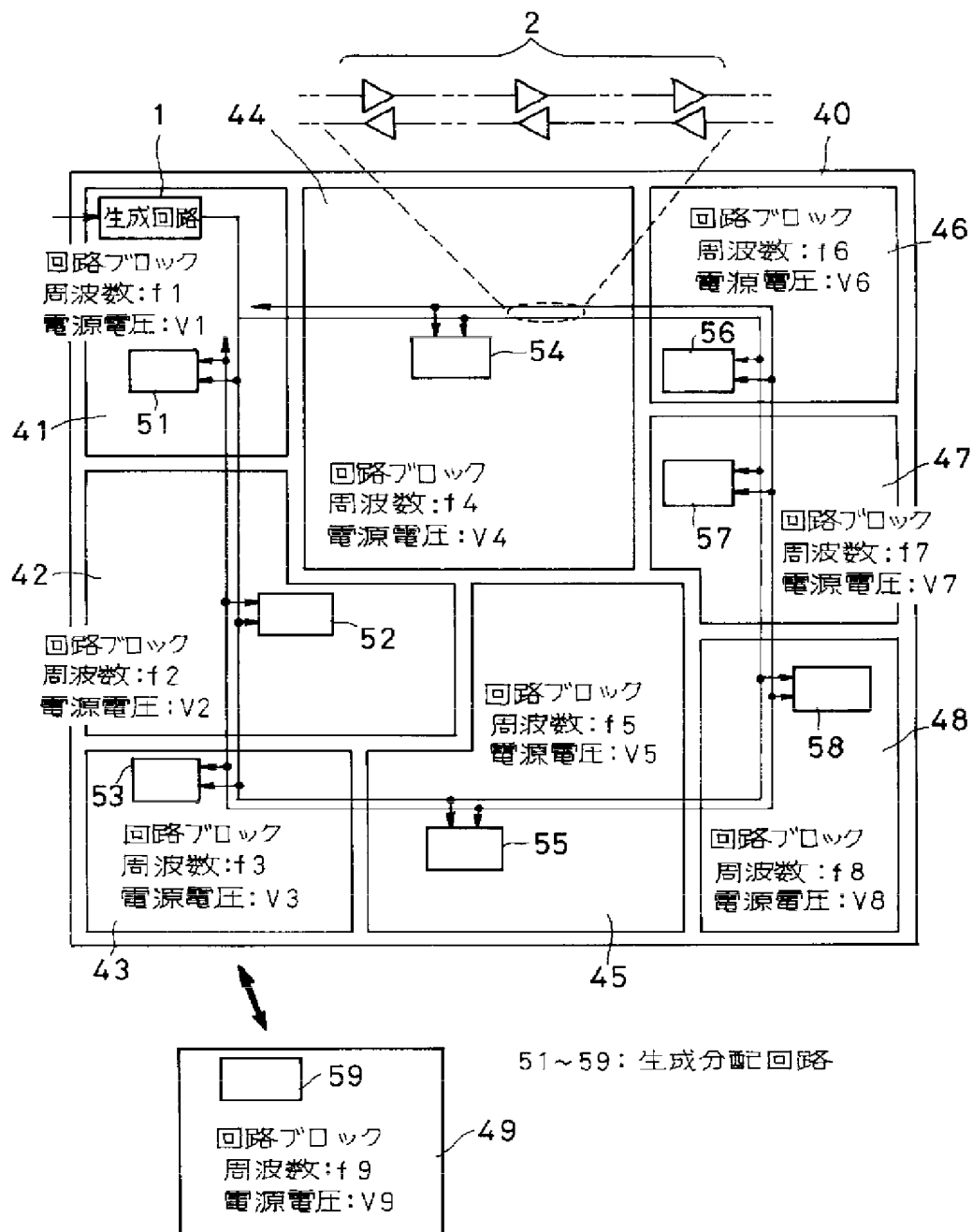
【図 15】



【图 13】



【図 14】





【図 1 6】

